

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11B 5/39

(11) 공개번호 특1999-0077881 (Publication No.)
(43) 공개일자 1999년10월25일 (Publication Date)

(21) 출원번호	10-1999-0008603
(22) 출원일자	1999년03월15일
(30) 우선권주장	1998-068096 1998년03월18일 일본(JP)
(71) 출원인	가부시끼가이샤 히다치 세미사쿠쇼 가나이 쓰도무
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 사토도시히코 일본국 가와구치시 시바5-16-42 나카타니료이치 일본국 사이타마켄 우라와시 부조2-4-3-301
(74) 대리인	백남기

심사청구 : 없음

(54) 터널자기 저항효과소자, 이것을 사용한 자기센서, 자기헤드 및 자기메모리

요약

높은 감도를 갖는 터널자기 저항효과소자, 이것을 사용한 자기센서, 자기헤드 및 자기메모리에 관한 것으로서, TMR소자와 외부회로와의 임피던스정합의 문제 및 소자 사이의 특성편차의 저감을 실현하기 위해, MOS형 전계효과 트랜지스터의 게이트에 자성체를 사용하여 자성체 게이트전극에 자성체와의 터널접합 및 비자성체와의 터널접합을 자성체게이트전극 표면상이 다른 2개소에서 형성하고, 이들 두개의 터널접합을 거쳐서 자성체 게이트전극의 바이어스를 실행하고, 외부회로의 변화에 추종해서 자성체 게이트전극 전위가 변화하는 것을 이용하여 MOS형 전계효과 트랜지스터의 드레인전류를 변화시켜 자기센서로 하였다.

이러한 구성으로 하는 것에 의해, TMR소자와 외부회로와의 임피던스정합이 취해져 소자 사이의 특성편차가 저감된 고감도의 터널접합형 자기저항효과소자를 얻을 수 있다는 효과가 얻어진다.

도표

도1

제1인

하부 요크구조, 기록코일, 비자성체전극, 강도보강층, 연자성체게이트전극

발명

도면의 간단한 설명

- 도 1은 본 발명의 터널접합형 자기저항효과소자의 구성을 도시한 개념도,
- 도 2는 본 발명의 터널접합형 자기저항효과소자에 있어서의 등가회로 및 그 효과를 도시한 도면,
- 도 3은 종래의 터널접합형 자기저항효과소자의 구성과 외부회로와의 관계를 도시한 도면,
- 도 4는 본 발명의 터널접합형 자기저항효과소자의 1실시예의 제작공정을 도시한 도면,
- 도 5는 본 발명의 터널접합형 자기저항효과소자의 다른 실시예의 제작공정을 도시한 도면,
- 도 6은 본 발명의 터널접합형 자기저항효과소자를 사용한 1실시예의 자기메모리의 제작공정을 도시한 도면,
- 도 7은 본 발명의 터널접합형 자기저항 효과소자를 요크형 리드라이트헤드에 사용한 구성을 도시한 개념도,
- 도 8은 본 발명의 터널접합형 자기저항 효과소자를 실드형 리드라이트헤드에 사용한 구성을 도시한 개념도,

도 9는 본 발명의 실시예인 터널접합형 자기저항 효과소자를 실드형 리드라이트헤드에 사용한 구성의 단면도,

도 10은 본 발명의 다른 하나의 실시예인 터널접합형 자기저항 효과소자를 실드형 리드라이트헤드에 사용한 헤드의 제작공정을 도시한 단면도.

<부호의 설명>

절연체층... 310, 자성층... 110, 210, 외부자계... 800, p형실리콘 기판... 700, 소스영역... 710, 드레인영역... 720, 게이트산화막... 500, 자성체 게이트전극... 100, 터널산화막... 300, 자성체층... 200, 210, 비자성체층... 400, 410, 420, 바이어스전압 V... 620, 전압 V... 150, 터널저항 R1... 550, 터널접합용량 C1... 560, 터널저항 R2... 570, 터널접합용량 C2... 580, 드레인전류... 680, 콘택트홀... 662, 콘택트홀... 642, 콘택트홀... 663, 콘택트홀... 643, 665, 645, 절연체층... 510, 워드선... 900, 데이터선... 910, 데이터선... 912, 접지선... 914, 하부 요크구조... 220, 상부 요크구조... 221, 재생갭... 230, 자극... 222, 기록갭... 231, 기록코일... 850, 비자성체전극... 401, 강도보강층... 540, 하부 실드... 250, 상부 실드... 251, 재생갭... 260, 상부 자극... 252, 기록갭... 261, 연자성체 게이트전극... 101, 강자성체전극... 255, 비자성체전극... 402, 중간절연층... 520, 중간절연층... 521, 중간절연층... 522, Si기판... 703, 패팅 산화막층... 702, 상부 Si층... 701, 비자성체전극... 402.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 높은 감도를 갖는 터널자기 저항 효과소자, 이것을 사용한 자기센서, 자기헤드 및 자기메모리에 관한 것이다.

Physics Letters, 54A권(1975년), 3호, 225페이지(문헌1)에는 터널자기 저항 효과에 따른 자기센서로서, TMR소자가 제안되어 있다. TMR소자는 종래의 자기저항 효과소자(MR소자)에 비하여 큰 자기저항효과를 나타내기 때문에 장래의 재생용 자기헤드로서의 응용이 기대되고 있다.

TMR소자는 도 3에 도시한 바와 같이 절연체층(310)을 자성층(110) 및 자성층(210)에 끼운 구조를 가진다. 이들 2종류의 자성층(110) 및 (210)이 다른 유지력을 갖는 경우 외부자계(800)의 변화에 대응하여 각 자성층의 자화의 방향 관계가 서로 평행한 경우와 반평행한 경우의 사이를 변화하는 현상이 일어난다.

한편, 상기 2종류의 자성층간에 바이어스전압 V를 인가하면 유전체층을 거친 터널전류 I가 흐르는 터널 저항 R을 $R = V/I$ 로 정의할 수 있다. 이 터널저항 R의 크기를 관측하면 상기 자성층간의 자화의 방향이 평행인지 반평행인지에 의해서 터널저항 R도 변화한다. 이러한 외부자계에 의해서 변화하는 터널저항 R의 변화를 감지하는 자기센서로 하는 것이 상기 터널자기 저항효과에 따른 TMR소자이다.

본 발명이 이루고자 하는 기술적 과제

종래의 자기저항 효과소자(MR소자)는 소자의 단자사이를 전류바이어스하여 외부자계변화에 의해서 단자사이에서 발생하는 전압변화를 검출하는 회로구성이 취해지고 있다. 종래의 MR소자를 TMR소자로 치환할 수 있는 경우 단자사이의 임피던스에 큰 차가 있는 것이 문제이다.

실제로 J. Appl. Phys., 79권(1996년), 8호, 4724페이지(문헌2)에서 알 수 있는 바와같이 종래의 MR소자가 수십 옴 정도의 크기임에도 불구하고 TMR소자의 단자사이 임피던스는 수 킬로옴 이상이다. 그 주된 이유는 유전체 터널배리어층의 제작방법의 제어성에 있다. 문헌2에 기재된 바와 같이 필요한 1~2 나노미터 정도의 터널배리어가 동일한 정도의 두께의 Al 등에 의한 금속막의 산화에 의해서 얻어진다. 편홀에 의한 누설전류가 적은 터널배리어층을 제작하기 위해서는 충분히 두꺼운 평판막을 필요로 한다. 그 결과 터널저항을 일정한 값 이하로는 내릴 수 없다.

또, 이 방법으로 제작되는 소자 사이의 터널저항값의 편차는 크다. 왜냐하면, 터널저항의 값은 터널배리어층의 두께에 지수적으로 의존하여 유전체층의 두께의 얼마 안되는 편차가 큰 터널저항의 편차로 되어 나타나기 때문이다. 특히, 동일기판상에 제작되는 소자 사이의 터널저항값의 편차에 비하여 다른 기판에 제작되는 소자의 편차는 커진다. 왜냐하면, 산화과정의 재현성 및 제어성이 충분하지 않기 때문이다.

이상 기술한 바와 같이, 본 발명의 목적은 상기한 과제를 해결하기 위해 이루어진 것으로서, [1] TMR소자와 외부회로와의 임피던스정합의 문제, [2] 소자 사이의 특성편차의 저감을 실현하는 것이다.

본 발명의 구성 및 작용

상기 과제를 이루기 위해서, 도 10에 도시한 바와 같이 MOS형 전계효과트랜지스터(MOSFET)를 사용한 구성을 사용한다. 도 10에 도시한 소자의 일부는 p형실리콘 기판(700)상에 n형으로 도핑(dope)된 소스영역(710), 드레인영역(720) 및 게이트산화막(500)을 갖고, 또, 이 게이트산화막상에 자성체 게이트전극(100)을 마련한 소위 MOSFET의 구성을 취하고 있다. 통상의 MOSFET과 다른 점은 게이트에 자성체를 사용하고 있는 점에 부가하여 또 그 상면 전체에 터널산화막(300)이 적층되어, 이 터널산화막(300)상에 자성체층(200)과 비자성체층(400)이 마련되어 있는 점에 있다. 이 상황에서는 자성체게이트전극(100)과

자성체층(200)이 상하로 중첩된 영역에서 터널산화막(300)의 일부가 제거되어 터널접합을 형성하고 있다. 자성체 게이트전극(100)과 비자성체층(400)의 사이에 있더라도 같은 터널접합이 형성되어 있다.

이 소자의 바이어스조건은 자성체층(200)에 대한 소스영역(710), 드레인영역(720)의 전위와 이들의 전위차 및 자성체층(200)과 비자성체층전극(400) 사이에 인가되는 바이어스전압 $U(620)$ 에 의해서 결정된다. 또, 자성체게이트전극(100)과 자성체층(200) 사이에 발생하는 전압(150)을 V 로 표기하였다.

도 2의 (a)에 상기 소자의 등가회로를 도시하였다. 도 2(a)에 있어서, 자성체층(200)과 자성체게이트전극(100) 사이에 형성되는 터널접합의 터널저항(550)을 R_1 , 터널접합용량(560)을 C_1 으로 표기하였다. 자성체층(200)과 자성체 게이트전극(100) 사이의 터널현상에는 종래의 다른 유지력을 갖는 자성체사이의 터널접합과 같이 터널자기 저항 효과가 발생한다. 그 때문에 도 2에서는 터널저항(550)을 외부자계(800)로 변화하는 가변저항으로 하였다. 한편, 비자성체층(400)과 자성체 게이트전극(100) 사이에 형성되는 터널접합의 터널저항(570)을 R_2 , 터널접합용량(580)을 C_2 로 표기하였다. 이 접합에 있어서는 상기한 것과 같은 터널자기 저항효과는 생기지 않는다.

여기서, 바이어스전압 U 가 인가된 비자성체층(400)으로부터 터널산화막(300)과 자성체게이트전극(100)을 경유하여 자성체층(200)으로 전류경로를 고려한다. 자성체게이트전극(100)과 자성체층(200) 사이에 발생하는 전압 $V(150)$ 은 바이어스전압 $U(620)$ 이 두개의 터널저항 $R_1(550)$ 과 $R_2(570)$ 에 의해서 분압된 전압 $V = U / (1 + R_2/R_1)$ 으로 된다. 외부자계(800)이 변화하면 상기 터널자기효과에 의해, 터널저항 $R_1(550)$ 이 변화하고 상기 분압비가 변화하여, 전압 $V(150)$ 이 변화한다. 그런데, 자성체 게이트전극(100)이 게이트산화막(500)을 개재하여 소스, 드레인 사이에 형성되는 채널에 용탈적으로 결합되어 있기 때문에 전압 $V(150)$ 의 변화는 드레인전류(680)의 변화를 일으킨다. 따라서, 드레인전류(680)의 변화를 관측하면 외부자계(800)의 변화를 관측할 수 있다.

이 대응관계를 도시한 것이 도 2의 (b) 및 도 2의 (c)이다. 이들의 도면에 있어서, 좌측은 외부자계(800)를 나타내고 그래프(graph)의 좌측단에서는 자성체층(200)과 자성체 게이트전극(100)의 쌍방이 포화하기에 충분한 크기의 자계로 되어있는 것으로 한다. 여기서, 설명의 편의상, 가령 자성체 게이트전극(100)을 경자성체, 자성체층(200)을 연자성체로 한다. 도면중의 흰색 화살표는 포화된 상태의 경자성체의 자화의 방향을 나타내고 검은색 화살표는 포화된 연자성체의 자화의 방향을 나타내고 있다. 이 상태에서 외부자계(800)의 방향을 회전시키거나 크기를 감소시켜 양자성체의 자화의 방향과 평행한 외부자계의 성분의 크기가 0으로 될 때까지 감소시켜도 각 자성체의 자화의 방향은 변화하지 않는다. 이 때문에 터널저항 R_1 및 R_2 의 값은 변화하지 않으므로 TMR율 $V(150)$ 은 변화하지 않는다. 그러나, 외부자계(800)의 평행성분의 크기가 0을 통과해서 그 방향이 변화하여 재차 증가하면 연자성체의 자화의 방향은 이 변화한 외부자계(800)의 방향에 추종하지만 경자성체측은 그 유지력 때문에 그 방향이 변화하지 않고 자화의 방향이 유지된다. 이 때문에 터널자기 저항효과에 의해, 양자성체의 자화의 방향 차이에서 존해터널저항 $R_1(550)$ 이 증가한다. 이 때문에 도 2의 (b)에 도시한 바와 같이 TMR율 $V(150)$ 이 증가한다. 이 상태에서 또 외부자계(800)의 크기를 증가시키는(즉, 좌측을 더욱 오른쪽으로 이동시키면) 경자성체의 자화도 서서히 반전하여 양자성체의 방향은 재차 평행으로 된다. 이 때문에 터널저항 $R_1(550)$ 은 감소하여 거의 원래의 값으로 되돌아간다.

한편, 자성체 게이트전극(100) 이하에 형성되어 있는 MOSFET는 다음과 같은 바이어스조건으로 되어 있다. 즉, 양자성체의 자화가 평행하고, TMR율 $V(150)$ 이 낮은 상태의 MOSFET의 소스전위를 기준으로 한 자성체 게이트전극(100)의 전위는 상기 소스전위를 기준으로 한 드레인의 전위보다 낮고 소스-드레인 사이에 충분한 반전층(Inversion layer)이 형성되어 있지 않아 적어도 채널의 형성이 없는 상황으로 되어 있다. 또, 양자성체의 자화가 반평행에 더욱 가깝게 되고 TMR율 $V(150)$ 이 높은 상태의 MOSFET의 소스전위를 기준으로 한 자성체게이트전극(100)의 전위는 소스-드레인 사이에 충분한 반전층이 형성되어 있거나 또는 채널이 형성되어 있는 상황으로 설정된다.

또, Physics of Semiconductor Devices, John Wiley & Sons, New York, 1981, 제8장(문헌3)에 기술되어 있는 바와 같이 통상, 상기 채널의 형성이 있는 경우를 MOSFET의 온(on)상태로 하고, 채널의 형성이 없고 드레인전류의 크기가 무시할 수 있을 정도로 작은 경우를 MOSFET의 오프(off)상태로 한다. 또, MOSFET 이 오프상태에서 천이할 때의 자성체게이트전극(100)의 전위를 게이트임계전압 V_m 로 한다.

TMR율 $V(150)$ 의 변화에 대응하여 MOSFET의 드레인전류 $ID(680)$ 은 도 2의 (c)에 도시한 바와 같이 변화한다. 즉, TMR율 $V(150)$ 이 게이트임계전압 V_m 를 초과하는 전압까지 상승하면 지금까지 오프상태에 있었던 MOSFET가 온상태로 되어 드레인전류 $ID(680)$ 이 급격히 증가한다. 양자성체의 자화의 방향이 반평행이고 TMR율 $V(150)$ 이 게이트임계전압 V_m 를 초과하고 있는 동안에는 MOS트랜지스터는 온상태를 유지하지만, 외부자계(800)이 충분히 커져 양자성체의 자화의 방향이 재차 평행으로되는 상태에 가까워지면 TMR율 $V(150)$ 이 게이트임계전압 V_m 보다 작아진 순간에 MOS 트랜지스터는 오프상태로 천이한다. 이와같은 드레인전류 $ID(680)$ 의 급준한 변화는 TMR율 $V(150)$ 의 변화의 증폭의 결과 얻어지는 효과이다.

그러나, 상기 게이트임계전압 V_m 는 MOSFET의 바이어스조건의 설정에 의해서 변화시킬 수 있다. 예를 들면, 양자성체의 자화가 평행하고 TMR율 $V(150)$ 이 낮은 상태에 있어서 바이어스전압 $U(620)$ 의 설정에 의해 상기 소스전위에 대한 자성체게이트전극(100)의 전위를 조절하여 미리 반전층을 어느 정도 형성해 놓으면 연자성체인 자성체층(200)의 자화가 약간 회전하여 TMR율 $V(150)$ 이 약간 변화했을 뿐이고 MOSFET는 온상태로 천이할 수가 있다. 한편, 바이어스전압 $U(620)$ 을 부(負)로 바이어스해 두고 TMR율 $V(150)$ 이 낮은 상태에 있어서, MOSFET에는 반전층이 형성되지 않은 상태로 두면 연자성체인 자성체층(200)이 충분히 회전하여 TMR율 $V(150)$ 이 충분히 커지지 않는 한 MOSFET는 온상태로 천이하지 않는다. 즉, 도 2의 (b)에 있어서의 게이트임계전압 V_m 는 바이어스전압 $U(620)$ 의 크기와 절지전위에 대한 소스전위의 설정에 의해서 변화시킬 수 있다. 바꿔 말하면 TMR율 $V(150)$ 즉, 외부자계(800)이 어떤 값을 취한 시점에서 MOSFET가 반전할지는 이를 바이어스조건의 설정에 따라 변경할 수 있는 것을 의미하고 있다.

이 특징은 종래의 MR소자가 강자성체막을 MR소자에 인접해서 성막하고 자기적바이어스를 사용해서 동작정

을 설정한 것과는 크게 다른 점이다. 즉, 본 발명에 의한 자기센서에서는 자기바이어스용의 강자성체 막은 반드시 필요하지는 않다.

상기 드레인바이어스단자는 외부회로에 접속되고 드레인전류가 상기 소자의 출력신호로 된다. 이 때문에 본 소자의 출력임피던스는 소스, 드레인 사이의 임피던스로 결정된다. 이 출력임피던스는 상기 채널의 폭의 설계나, 바이어스조건에 의해서, 큰 선택범위를 갖고 있다. 따라서, 본 발명이 해결하고자 하는 과제중 상기 [1]의 TMR소자와 외부회로의 임피던스정합의 문제를 해결할 수 있는 것이다. 또, 본 발명의 특징은 본래 폴리실리콘 등을 사용해서 제작되는 MOSFET의 게이트를 TMR효과에 의해서 전위변동하는 자성체게이트전극(100)으로 치환한 점에 있다고 할 수도 있다. 이것은 TMR소자와 MOSFET를 개별로 제작하고 전압 V(150)에 대응하는 TMR소자의 출력을 금속배선 등에 의해서 종래의 MOSFET의 폴리실리콘게이트에 접속하여 외견상 도 2의 등가회로와 같은 상황을 실현한 것과는 다르다. 왜냐하면, 본 발명에 의한 자성체게이트전극(100)과 채널의 결합이 게이트산화막(500)을 거친 용량적인 것일 뿐이고 양자의 전기적 접속을 실현하는 배선이 존재하고 있지 않기 때문이다. 이 사실에 의해 배선의 존재에 의해서 혼입해 오는 잡음을 현저하게 저감시키는 효과가 얻어진다.

그러나, 바이어스전압 U가 인가된 비자성체층(400)에서 터널산화막(300)과 자성체게이트전극(100)을 경유하여 자성체층(200)으로 통과하는 전류경로에 있어서 두개의 터널배리어가 존재한다. 여기서 바이어스전압 U의 분압비 $1/(1+R_2/R_1)$ 은 상기 두개의 저항의 비 R_2/R_1 에 의해 결정되고 각 저항의 절대값에 의해서 결정되는 것은 아니다. 한편, 상기 두개의 터널배리어는 자성체게이트전극(100)상에 형성된 동일한 터널산화막(300)에 의해서 실현된 터널배리어이다. 이 때문에 터널산화막(300)의 막두께가 양접합부에 걸쳐 균일하면 상기 터널배리어의 터널저항은 거의 자성체게이트전극(100)과 자성체층(200) 또는 비자성체층(400)이 형성되는 정도(즉, 접합면적의 크기)에 의해서 결정된다. 바꿔 말하면, 터널산화막(300)의 막두께의 균일성만 확보되면 바이어스전압 U의 분압비 $1/(1+R_2/R_1)$ 은 접합면적의 비에 의해서만 결정되게 되는 것이다. 리도그래피기술에 따른 미세가공기술을 사용해서 접합면적은 충분히 정밀하게 제어할 수 있다. 따라서, 소자제작시에 발생하는 터널산화막(300)의 평균막두께의 재현성이 부족해도 채널내의 균일성이 확보되어 있으면 소자 사이의 편차가 매우 적은 분압비 $1/(1+R_2/R_1)$ 를 얻을 수 있는 것이다. 이와 같은 특징에 의해서, 본 발명이 해결하고자 하는 과제, 상기 [2]의 소자 사이의 특성편차의 저감을 해결할 수 있는 것이다.

[실시예]

<실시예1>

도 2에 본 발명에 따른 MOSFET형의 터널접합형 자기저항효과 (TMR)소자의 제작공정(process)을 도시한다. 도 4에서는 좌측열에 소자제작의 각 단계에 있어서의 단면도, 우측열에 평면도를 도시하고 있다.

도 4의 (a)는 통상의 MOSFET 제작공정에 의해서, P형실리콘기판(700)을 부분산화해서 두꺼운 산화막영역(510)을 형성하고, 리도그래피에 의해서 패터화한 고농도 도프영역(즉, 소스영역(710) 및 드레인영역(720))을 형성한 후, 얇은 게이트산화막(500)을 성장시켜 패터화하여 상기 고농도 도프영역으로의 콘택트홀을 제작한 결과를 도시한 도면이다.

다음에 도 4의 (b)에 도시한 바와 같이 자성체게이트전극(100)을 형성하고 그 위에 터널산화막(300)을 형성한다. 본 실시예에서는 상기 자성체 게이트전극(100)의 재료물질로서 Co-17at%Pt를 사용하였다. 이외에도 Co-Cr-Ta 등의 Co계합금으로 대표되는 강자성체재료가 본 자성체게이트전극(100)으로서 이용될 수 있다. 또, 반강자성체재료에 의해서 강자성체재료의 자화상태를 고정시키는 효과에 의해 강자성체 대신에 Ni-Fe/Mn-20at%Ir/Cu/Hf/SiO₂/Si(기판)의 다층구조를 사용할 수도 있다. 여기서 Cu/Hf의 2층은 반강자성층 Mn-20at%Ir의 결정의 배향성을 제어할 목적으로 도입된다.

터널산화막(300)은 알루미늄의 1~2nm 정도의 얇은 금속막을 형성한 후, 산소분위기중에서 산화시키거나 산소 플라즈마에 의해 산화시키거나 또는 이 중 어느 하나의 방법에 의해 형성하였다. 산화막재료로서는 Si, Ge, Zr, Hf 등의 금속산화막을 사용할 수도 있다. 이들 방법에 의해서 얻어지는 터널산화막(300)의 막두께는 자성체게이트전극(100)상에 거의 균일하였다. 또, 자성체층(200)과 비자성체층(400)을 형성하고 2개의 터널접합을 1개의 자성체게이트전극(100)상에 형성하였다. 상기 자성체층(200)으로서 Ni-20at%Fe, Ni-16at%-18at%Co, Co-10at%Fe 등의 연자성체재료를 사용할 수 있다. 또한 자성체층(200)에 자성체게이트전극(100)에 사용한 강자성체를 사용해서 자성체게이트전극(100)에 상기 예로 든 연자성체재료를 사용해도 마찬가지로의 터널자기 저항효과를 얻어진다. 다음에 비자성체층(400)의 재료로서는 통상의 반도체소자에 사용되는 비자성 금속배선재료(예를들면, Ag, W, Cu 등)를 사용할 수 있다. 이들의 형성 후 콘택트홀(662) 및 (642)을 형성하여 소스영역(710) 및 드레인영역(720)의 각 영역에 금속배선을 실시하고, 또 자성체층(200), 비자성체층(400)에도 배선을 실시하여 기판바이어스단자를 제외하면 5단자를 갖는 소자로 하였다. 이것에 의해서, 도 1에 도시한 소자구조를 실현할 수 있었다.

본 발명에 의한 자기 센서는 종래의 TMR센서에 비하여, 그 신호대 잡음비가 2자리수 이상 증가하였다. 터널자기 저항 효과에 의해, 외부자계의 변화는 우선 첫째로, 자성체게이트전극(100)의 전위변동이라는 신호를 생성한다. 이 변화가 드레인전류를 변화시켜 외부자계 변화의 검출신호로 된다. 본 발명에 의하면 이 신호발생개소(즉, 자성체게이트전극(100))가 MOSFET 구조 중에 조립되어 있기 때문에, 발생하는 신호는 잡음의 혼입을 받는 즉시 소자내에서 증폭되어 있다고 고려할 수 있다. 이 사실이 상기와 같은 대폭적인 신호대 잡음비를 실현한 이유이라고 고려할 수 있다.

그러나, 자성체게이트전극(100)에(게이트산화막(500)을 거치지 않고) 직접 금속배선의 한쪽끝을 접속하고 다른 한쪽끝에 자성체-자성체의 터널접합과 자성체-비자성체의 터널접합을 병렬로 접속하여 외견상 도 2의 등가회로와 동등한 상황을 만들어 낼 수 있다. 그러나, 본 발명에 의한 구조에서는 상기 제작공정의 설명에서 명확한 바와 같이 자성체-자성체의 터널접합과 자성체-비자성체의 터널접합이 반드시 쌍으로 되어 자성체게이트전극(100)상에 제작되지 않으면 안된다고 하고 있는 점에서 이 상황과는 다르다. 특히, 이 제약에 의해서 소자 사이의 분압비 $1/(1+R_2/R_1)$ 의 편차가 억제되는 효과가 발생하는 것이다. 또, 상기 금속배선의 존재에 의해서, 노이즈가 혼입할 확률이 증대하여 신호대 잡음비의 열화로

이어진다.

<실시예 2>

접합면적에 대한 바이어스조건에 대해서 다음에 설명한다.

도 5는 실시예 1과는 다른 제작공정에 따른 본 발명의 실시예 2를 도시한 도면이다. 실시예 1에서는 소스영역(710), 드레인영역(720), 자성체층(200) 및 비자성체층(400)으로의 전기적배선은 모두 독립된 4개의 배선으로 하고 있었다. 그러나, 본 실시예에서는 소스영역(710)과 비자성체층(410)을 소자의 내부에서 연결시키고, 또 드레인영역(720)과 자성체층(210)을 소자의 내부에서 연결시킨 구조를 사용하고 있다.

도 5에 있어서, 도 5의 (a)와 도 5의 (b)는 도 4의 (a) 및 도 4의 (b)에 도시한 제작공정과 동일하다. 도 5의 (c)에 있어서, 게이트산화막(500)과 터널산화막(300)을 관통하여 소스영역(710)과 연결되는 콘택트홀(663) 및 드레인영역(720)과 연결되는 콘택트홀(643)을 형성하고 각각에 자성체층(210) 및 비자성체층(410)을 형성한 것이다. 자성체층(210) 및 비자성체층(410)이 각각 드레인, 소스의 바이어스용 외부 회로에 접속된다. 또한 자성체층(210) 및 비자성체층(410) 등의 재료는 실시예 1에서 도시한 것을 사용하였다.

본 실시예에서는 소스-드레인 사이의 바이어스와 2개의 터널접합을 갖는 TMR소자부의 바이어스가 1개의 외부회로에서 공급된다. 그 때문에 자성체게이트전극(100)에 의한 게이트바이어스의 크기는 직접 분압비 $1/(1+R_2/R_1)$ 에 의해 결정되어 버린다. 그 때문에 미리 양호한 게이트바이어스로 되도록 터널저항의 값의 비 R_2/R_1 를 설정해 두는 것이 필요하다. 상술한 바와 같이 비 R_2/R_1 는 자성체게이트전극(100)과 자성체층(210) 또는 비자성체층(410)이 중첩되는 정도의 비 즉, 접합면적비에 의해서 결정된다. 이 때문에 본 실시예에서는 도 5의 (d)에 도시한 바와 같이 자성체층(210)과 비자성체층(410)의 폭에 차이를 두어 이들의 폭의 크기의 비가 원하는 비 R_2/R_1 과 일치하도록 설계되어 있다.

본 실시예에 의해, 4개의 배선단자가 2개로 저감되어 소자설계 및 제작공정이 간략화되는 장점(merit)이 있었다.

<실시예 3>

다음에 본 발명의 터널자기 저항효과소자의 자기메모리로의 응용에 대해서 기술한다.

도 6은 자기메모리셀을 구성한 본 발명의 제3 실시예를 도시한 도면이다. 도 6의 (a)~도 6의 (c)는 도 4 및 도 5에 도시한 공정을 사용하여 MOSFET형 터널자기 저항효과(TMR)소자를 구성한 것을 도시한 것이다. 도 6에 있어서, 좌측셀은 우측셀의 평면도의 중심선상에서의 단면도이다. 도 6의 (c)에서는 게이트산화막(500)을 관통한 콘택트홀(663)을 거쳐서 자성체층(210)과 소스영역(710)을 접속하고, 비자성체층(420)은 소자내에서는 드레인영역(720)에 접속되어 있지 않고, 드레인영역(720)으로의 배선은 콘택트홀(642)을 사용해서 독립적으로 실행한다.

본 실시예에서는 또 두개의 터널접합의 상부에 절연체층(510)에 매립된 금속배선을 마련하고 이것을 라이트선(900)이라고 한다. 또, 라이트선(900)의 왼쪽에 이것과 직교하도록 배치된 금속배선을 실시하고 이것을 라이트바이어스선(902)라고 한다. 이들 2개의 배선은 자성체층(210) 및 비자성체층(420)에 절연성을 확보할 수 있는 범위에서 가능한 한 접근해서 배치되어 있고 자성체게이트전극(100)의 표면에서 30nm 정도 왼쪽에 라이트선(900)이 형성되고, 또 그 20nm 왼쪽에 라이트바이어스선(902)가 형성되어 있다. 또, 절연체층(510)에 콘택트홀(645)을 통해서 비자성체층(420)에 바이어스를 인가하기 위한 금속배선이 실시되고, 이 금속배선을 워드선(910)이라 하고 이것을 라이트선(900)과 평행하게 설치한다. 한편, 콘택트홀(642)을 통해서 드레인영역(720)으로 금속배선이 실시된다. 이 금속배선을 데이터선(912)라 하고, 상기 라이트선(900) 및 워드선(910)과 수직, 라이트바이어스선(902)와 평행하게 배치된다. 또, 자성체층(210) 및 소스영역(710)을 바이어스하기 위해서, 콘택트홀(665)을 통해서 금속배선에 접속한다. 이 금속배선을 접지선(914)라 하고 데이터선(912)와 평행하게 배치한다. 각 금속배선 즉, 라이트선(900), 라이트바이어스선(902), 워드선(910), 데이터선(912), 접지선(914)는 모두 다른 높이로 절연체층(510)에 매립되어 있다.

이 자기메모리셀에서는 1비트의 정보를 자성체게이트전극(100)의 자화상태에 대응시켜 기억하고 있다. 자성체게이트전극(100)은 라이트선(900)과 라이트바이어스선(902)의 쌍방에 전류를 흐르게 하고, 이것에 의해 유도되는 자계에 의해서 자화된다. 자성체게이트전극(100)의 이 자화상태로써 자화를 반전시킨 상태로 천이시키기 위해서는 상기 라이트선(900)과 라이트바이어스선(902)의 쌍방에 역극성전류를 흐르게 하면 된다. 여기서, 자성체게이트전극(100)의 유지력을 충분히 큰 것으로 해 두면, 라이트선(900) 또는 라이트바이어스선(902)중의 어느 한쪽만의 전류바이어스에서는 자화가 반전하지 않는 상황을 만들 수 있다. 본 실시예에서는 자성체게이트전극(100)의 재료로서 코발트를 사용하였다.

터널자기 저항효과에 의해, 자성체게이트전극(100)의 자화상태의 변화는 자성체층(200)과 자성체게이트전극(100) 사이의 터널저항 R_2 을 변화시켜 분압비 $1/(1+R_2/R_1)$ 를 변화시킨다. 이 변화는 비자성체층(420)으로 이어지는 워드선(910)을 바이어스했을 때 발생하는 MOSFET의 게이트전극으로서의 자성체게이트전극(100)의 전위를 변화시킨다. 따라서, 자성체게이트전극(100)의 자화상태의 변화는 드레인영역(720)으로 이어지는 데이터선(912)을 바이어스하여 얻어지는 드레인전류의 변화로 되어 관측되게 된다. 상기 분압비를 적당히 설정해 두면 드레인전류는 자성체게이트전극(100)의 자화상태에 대응하여 0에서 충분히 큰 유한 값의 2값 사이를 변화시킨다. 따라서 상기 드레인전류의 변화가 상기 자성체게이트전극(100)의 자화상태로서 축적된 1비트의 정보를 담당하는 전류신호로서 기능하고 있다.

여러개의 상기 메모리셀을 어레이형상으로 배치하고 동일한 열에 배열되는 셀이 1개의 라이트선(900) 및 1개의 워드선(910)을 공유하고 또 동일한 행에 배열되는 셀이 1개의 라이트바이어스선(902), 1개의 데이터선(912) 및 접지선(914)을 공유하도록 배선을 실시하면 소위 랜덤액세스메모리(RAM)를 형성할 수 있다. 어레이내의 특정 셀로 라이트를 실행하기 위해서는 우선 그 셀이 속하는 행이 공유하는 라이트바이어스선(902)로 통전하여 유도자계를 발생시킨다. 이 상태에서는 유도자계강도가 불충분하기 때문에 자성체

게이트전극(100)의 자화는 반전하지 않는다. 이 상태에 계속해서 상기 셀이 속하는 열이 공유하는 라이트선(900)으로 돌전한다. 이것에 의해서, 선택된 셀중의 자성체게이트전극(100)의 자화가 반전하기에 충분한 자계를 인가할 수 있고 라이트 동작이 완료한다. 또, 어레이내의 특정셀의 정보를 리드하기 위해서는 그 셀이 속하는 열이 공유하는 워드선(910)을 바이어스하고, 그 밖의 열의 워드선은 접지전위로 하고 또한 그 셀이 속하는 행이 공유하는 데이터선(912)만을 바이어스하고, 그 이외의 데이터선을 접지전위로 하는 것에 의해, 바이어스된 데이터선(912)상에 발생하는 전류신호로서 추출된다.

용량에 축적되는 전하에 의해서 정보를 저장하는 종래의 DRAM에 비하여 본 실시예에 따른 자기메모리소자에서는 자성체게이트전극(100)의 보조력에 의해서 외부로부터의 전력공급을 중단하더라도 정보가 소실되지 않는 점에 최대의 특징이 있다. 그런 의미에서 본 자기메모리소자에 의해서 구성되는 RAM은 불휘발성의 RAM이다. 한편, 라이트선(900)으로의 1나노초 정도의 전류펄스인가에 의해, 자성체게이트전극(100)의 자화상태는 반전한다. 따라서, 종래의 DRAM과 동등하거나 그 이상으로 고속인 라이트 동작이 가능하다. 고속의 라이트 동작을 얻을 수 있는 점에서 본 발명의 RAM은 불휘발성을 갖는 플래시 메모리를 능가하고 있다.

또 본 발명은 미국 특허 제 5,654,566호 명세서에 개시되어 있는 자성체와 FET를 사용한 메모리소자의 구성과는 다른 구성의 자기메모리소자이다. 주된 상위점은 상기 미국특허의 발명이 소스-드레인 사이를 흐르는 전류캐리어의 스핀보존성을 이용하고 있는 데 대하여, 본 발명에서는 터널자기 저항효과를 기본동작원리로 하고있는 점에서 분명히 다른 원리에 따르고 있다. 본 발명에 의한 소자의 구성에서는 터널자기 저항효과에 의해서 발생하는 신호가 증폭되어 출력되지만 상기 공지예3에서는 FET가 사용되고 있을 에도 불구하고 그와 같은 증폭효과와 그것에 따른 신호대 잡음비의 향상은 기대할 수 없다. 한편, 열반적으로 터널자기 저항 효과를 이용한 소자의 특성의 편차는 주로 터널산화막(300)의 제어성의 양부(良否)에 의존한다. 그러나, 본 발명은 제어성향상을 극복하는 방법을 부여하고 있기 때문에 특성편차는 대폭 개선되고 있다. 스핀보존성에 의한 동작원리를 채용한 상기 미국 특허에 기재된 소자에서는 특성편차의 제어가 가능한지의 여부는 불분명하고, 또 적어도 상기 미국 특허에서는 그 방법이 전혀 논의되어 있지 않다. 특성 편차의 저감은 자기메모리를 다수 집적화하여 사용하기 위해서는 필요 불가결한 요건이며 본 발명은 이 점에 있어서도 우수하다.

<실시예 4>

다음에 본 발명의 터널자기 저항효과소자의 자기헤드로의 응용에 대해서 기술한다.

(요크형 리드 라이트헤드)

도 7은 본 발명을 자기기록체로의 리드 라이트헤드로서 사용한 실시예의 개념도를 도시한 도면이다. 도면에서는 주요한 자극 및 전극구조만을 도시하고 있다. 리드 헤드는 본 발명에 의한 터널접합형 자기저항효과소자를 사용한 자기센서와 요크(yoke)형 헤드로 이루어져 있다. 도 7에 있어서, 기록매체는 Z-X평면내에 배치되고 헤드는 기록매체와 직교하는 Y축과 평행한 방향에서 매체표면으로 액세스하는 관계로 되어있다. 재생헤드는 하부 요크구조(220)와 상부 요크구조(221)이 형성한 재생갭(230)으로 구성되고 기록헤드는 그 위쪽의 자극(222)와 상기 상부 요크구조(221)로 이루어지는 기록갭(231)에 의해 구성되고 있다. 자극(222)와 상부 요크구조(221) 사이에는 기록코일(850)이 마련되어 있다.

하부 요크구조(220)의 일부는 터널산화막(300)과 접촉하고 있고, 자성체게이트전극(100)과의 사이에 터널접합을 형성하고 있다. 마찬가지로, 비자성체전극(401)의 끝부도 터널산화막(300)과 접촉하고 있고, 자성체게이트전극(100)과의 사이에 터널접합을 형성하고 있다. 자성체게이트전극(100)의 하부에는 게이트산화막(500)이 있고 그 아래에는 MOS트랜지스터의 소스와 드레인 사이에 배치된 채널부가 형성되어 있고, 도 1에 도시한 실시예와 마찬가지로 구성으로 되어있다. 상기 요크구조를 포함하는 헤드구조는 반도체공정 기술에 있어서의 산화막의 평탄화기술 및 금속화 기술의 조합에 의해서 용이하게 제작할 수 있다. 이들의 헤드구조전체는 A₁Fe₂O₃ 등의 강도보강층(540) 위에 부착되고 리드 라이트헤드로서 사용된다.

하부 요크구조(220)와 자성체게이트전극(100) 사이에 형성되는 터널접합의 터널저항을 R₁, 비자성체전극(401)의 끝부와 자성체게이트전극(100) 사이에 형성되는 터널접합의 터널저항을 R₂라고 하면 도 2에 도시한 등가회로가 본 실시예에 있어서도 성립한다. 그 때, 하부 요크구조(220)은 퍼멀로이(permalloy) 등의 연자성체재료로 이루어지고, 실시예 1에 있어서의 자성체층(200)에 상당하며, 기록매체의 이동(또는 회전)으로부터 발생하는 자계의 변화에 대응하여 그 자화의 방향을 변경하는 부분이다. 자성체게이트전극(100)은 본 실시예에서는 Co-17at%Pt 등의 경자성체를 사용한다.

본 실시예의 재생헤드로서 입출력 특성은 실시예 1과 마찬가지로 하부 요크구조(220)에 대한 소스영역(710), 드레인영역(720)의 전위와 이들의 전위차 및 하부 요크구조(220)과 비자성체층전극(401) 사이에 인가되는 바이어스전압 U(620)에 의해서 결정된다. 드레인영역(720)을 흐르는 드레인전류가 그의 출력신호로 된다.

그러나, 본 실시예를 자기저항헤드 -기초와 응용-, 존C 말린슨(John C. Mallinson)저, 하야시 가즈히코(林和彦) 역, 마루젠, 1998년, P.74-75(문헌4)에 기재된 요크형 MR헤드와 비교하면 특필할 만한 특징을 이해할 수 있다. 상기 문헌4에 있어서는 자기센서로서 소자가 매우 얇은 MR소자를 사용하고 있기 때문에 요크구조와 MR소자의 결합효율이 매우 낮다. 또, MR소자와 요크구조는 그 동작원리상 전기적으로 절연되어 있지 않으면 안되기 때문에 요크구조와 MR소자에는 충분한 겹이 필요하며 이 요구가 자속의 결합효율을 더욱 저하시키고 있다. 그 때문에 요크구조와 MR소자를 조합하면 헤드구조 전체의 자기저항(reluctance)이 높아지고, 기록매체와의 자속효율은 매우 낮아진다.

한편, 본 실시예에서는 하부 요크구조(220)중에 갭을 형성하거나 두께를 얇게하는 등의 필요가 없기 때문에 헤드구조전체의 자기 저항을 낮게 유지할 수 있어 상술한 바와 같은 문제를 회피할 수 있다.

<실시예 5>

본 발명의 터널자기 저항효과소자의 자기헤드로의 응용에 대해서 또 기술한다.

(실드형 리드 라이트헤드)

도 6은 본 발명을 자기기록 매체로의 리드 라이트헤드로서 사용한 실시예의 개념도를 도시한 도면이다. 도면에서는 주요한 자극 및 전극구조만을 도시하고 있다. 리드 헤드는 본 발명에 의한 터널접합형 자기저항 효과소자를 사용한 자기센서와 실드(shield)형 재생헤드로 이루어져 있다. 도 8에 있어서, 기록매체는 Z-X평면내에 배치되고 헤드는 기록매체와 직교하는 Y축과 평행한 방향에서 매체표면으로 역세스하는 관계로 되어있다. 재생헤드는 하부 실드(250)와 상부 실드(251)이 형성하는 재생갭(260)으로 구성되고, 기록헤드는 상부자극(252)과 상부 실드(251)로 이루어지는 기록갭(261)에 의해 구성되어 있다. 상부자극(252)과 상부 실드(251) 사이에는 기록코일(850)이 마련되어 있다.

연자성체게이트전극(101)은 상부 실드(251)와 하부 실드(250)의 대략 중간에 배치되고, 그의 상부에는 터널산화막(300)이 형성되어 있고 그의 하부에는 게이트산화막(500)을 거쳐서 MOS트랜지스터의 채널부가 배치되어 있다. 경자성체전극(255)의 끝부는 터널산화막(300)과 접하고 있고 연자성체게이트전극(101)과의 사이에 터널접합을 형성하고 있다. 마찬가지로, 비자성체전극(402)의 끝부도 터널산화막(300)과 접하고 있고, 연자성체게이트전극(101)과 사이에 터널접합을 형성하고 있다.

MOS트랜지스터의 소스영역(710)은 도 8에서는 연자성체게이트전극(101) 앞쪽에 도시되어 있다. 소스영역(710)의 일부에는 터널산화막(300)과 게이트산화막(500)을 관통하는 콘택홀이 마련되어 있다. 드레인영역(720)은 도면의 안쪽에 위치하여 연자성체게이트전극(101)의 배후에 존재하고 있다. 소스영역(710)과 마찬가지로 드레인영역(720)에 콘택홀이 마련되어 있는 것은 물론이다. 이 상황을 더욱 명확하게 나타내기위해서 경자성체전극(255)을 포함하는 Z-X평면과 평행한 단면도를 도 9에 도시한다. 도 9에 있어서, MOS트랜지스터의 소스영역(710)과 드레인영역(720) 사이에 형성되는 채널부가 기록매체를 포함하는 면과 평행하게(즉, Z-Y평면내) 배치되는 것이 명확히 도시되어 있다.

또, 도 9에 도시한 바와 같이 연자성체게이트전극(101), 각 실드자극 등의 금속부는 총간절연층(520), 층간절연층(521) 및 층간절연층(522)내에 매립되어 있다. 또 이들 자극 및 실드 등의 금속부는 반도체공정 기술에 있어서의 산화막의 평탄화기술 및 금속화기술의 조합에 의해서 제작된다. 이들의 헤드구조 전체는 Al, Ti, TiC 등의 강도보강층(540) 상에 부착되고 리드라이트헤드로서 사용된다. 제작공정의 중요부분을 더욱 명확히 하기위해서, 도 10에 제작순서의 개략을 도시하였다. 도 10은 기록매체와 수직이고 연자성체게이트전극(101)의 단면을 포함하는(즉, Z-Y평면과 평행한)단면도이다. 도 10의 (a)는 MOS트랜지스터상에 본 발명에 의한 자기센서부를 제작한 직후의 상황을 도시한 것이다.

MOS트랜지스터는 소위 SOI(Silicon On Insulator)기판상에 제작된다. SOI기판으로서 산소 주입과 그에 따르는 열처리에 의해서 매립 산화막층이 형성되는 SIMOX(Separation by Implanted Oxygen)기판 등이 적합하다. SOI기판은 Si기판(703)상에 형성되어 있는 매립 산화막층(702)과 그의 상부에 형성되는 상부 Si층(701)로 이루어진다. 상부 Si층(701)은 MOS트랜지스터를 형성할 수 있는 고품질의 Si층이어야 한다. 터널산화막(300)을 형성하여 경자성체전극(255) 및 비자성체전극(402)을 형성한 후, 이들의 전극 구조는 층간절연층(520)에 의해서 매립되며 CMP(Chemical-Mechanical Polishing)법 등에 의해서 상부가 평탄화된다. 마찬가지로의 금속화와 평탄화기술에 의해서, 상부 실드(251), 상부자극(252), 기록코일(850) 등이 형성되어 층간절연층(521), (522)에 매립되고 그 상부에 강도보강층(540)이 형성된다(도 10의 (b)참조). 다음에 Si기판(703) 및 매립 산화막층(702)이 이면에서 제거된다. 그를 위해서는 예를 들면, 하이드라진(hydrazine)에 의한 Si기판(703)의 습식 에칭 및 플루오르화수소산에 의한 매립 산화막층(702)의 습식 에칭 등의 수단을 사용할 수 있다. 그 때, 에칭에 대한 강도보강층(540)측의 마스크를 실행하는 것은 물론이다(도 10의 (c)참조). 그 후, 실드(250)를 이면에 형성하여 공정을 종료한다(도 10의 (d)참조).

경자성체전극(255)과 연자성체게이트전극(101) 사이에 형성되는 터널접합의 터널저항을 R1, 비자성체전극(402)과 연자성체게이트전극(101) 사이에 형성되는 터널접합의 터널저항을 R2라 하면 도 2에 도시한 등가회로가 본 실시예에 있어서도 성립한다. 그 때, 연자성체게이트전극(101)은 퍼말로이 등의 연자성 재료로 이루어지고, 기록매체의 이동(또는 회전)으로부터 발생하는 자계의 변화에 대응하여 그 자화의 방향을 변경하는 부분이다. 경자성체전극(255)은 본 실시예에서는 Co-17at%Pt 등의 경자성체를 사용한 다.

본 실시예의 재생헤드로서 입출력 특성은 실시예 1과 마찬가지로 경자성체전극(255)에 대한 소스영역(710), 드레인영역(720)의 전위와 이들의 전위차 및 경자성체전극(255)과 비자성체전극(402) 사이에 인가되는 바이어스전압 U(620)에 의해서 결정된다. 드레인영역(720)을 흐르는 드레인전류가 그의 출력 신호로 된다.

외부회로와의 임피던스정합이 취해져 매우 신호대 잡음비가 높은(종래의 100배 정도) 자기센서 및 자기기록 재생헤드가 얻어졌다. 또, 본 발명에서는 그의 소자구조에 유래해서 매우 소자 사이의 특성 편차가 작다는 특징을 갖고, 이 특징을 이용하여 불휘발성이고 고속(라이트/리드 시간은 1나노초 정도)인 메모리셀 및 이들이 집적화된 메모리아레이를 제작할 수 있었다.

발명의 효과

TMR소자와 외부회로의 임피던스정합이 취해져 소자 사이의 특성편차가 저감된 고강도의 터널접합형 자기저항 효과소자를 얻을 수 있다.

(5) 청구의 범위

청구항 1

기판상에 소스영역, 드레인영역 및 게이트절연막을 갖고 상기 게이트절연막상에 제1 자성체막으로 이루어지는 게이트전극을 마련한 전계효과 트랜지스터소자에 있어서, 상기 제1 자성체막상의 일부에 터널접합막을 거쳐서 적층된 제2 자성체막을 갖고, 또한 상기 제1 자성체막상의 다른 일부에 상기 터널접합막을 거쳐서 적층된 제3 자성체막을 갖는 자기저항 효과소자의 상기 제1 자성체막과 상기 제2 자성체막 사이의 터널전류에는 정의 터널자기 저항효과가 발생하고 또한 상기 제1 자성체막과 상기 제3 자성체막 사이의 터널전류에는 상기 정의 터널자기 저항효과와는 다른 크기의 터널자기 저항효과가 발생하는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 2

제1항에 있어서,

상기 제1 자성체막과 상기 제2 자성체막 사이의 상기 터널접합막과 상기 제1 자성체막 및 상기 제3 자성체막 사이의 터널접합막이 직렬로 정전압바이어스회로에 접속되어 있는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 자성체막의 상기 제2 자성체막에 대한 전위의 변화 또는 상기 제3 자성체막에 대한 전위의 변화에 대응하여 변화하는 상기 드레인영역을 흐르는 전류를 사용해서 출력신호를 얻는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 4

제3항에 있어서,

상기 전계효과 트랜지스터소자에 있어서, 상기 정전압바이어스회로에 의한 게이트전위조절에 의해 게이트 임계전압을 선택하고, 외부자계의 변화에 대한 상기 출력신호의 응답성을 선택가능하게 한 것을 특징으로 하는 터널자기 저항효과소자.

청구항 5

기판상에 소스영역, 드레인영역 및 게이트절연막을 갖고 상기 게이트절연막상에 제1 자성체막으로 이루어지는 게이트전극을 마련한 전계효과 트랜지스터소자에 있어서, 상기 제1 자성체막상의 일부에 터널접합막을 거쳐서 적층된 제2 자성체막을 갖고 또한 상기 제1 자성체막상의 다른 일부에 상기 터널접합막을 거쳐서 적층된 비자성체막을 갖는 자기저항 효과소자의 상기 제1 자성체막과 상기 제2 자성체막 사이의 터널전류에는 정의 터널자기 저항효과가 발생하고 또한 상기 제1 자성체막과 상기 비자성체막 사이의 터널전류에는 터널자기 저항효과가 발생하지않는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 6

제5항에 있어서,

상기 제1 자성체막과 상기 제2 자성체막 사이의 상기 터널접합막과 상기 제1 자성체막 및 상기 비자성체막 사이의 터널접합막이 직렬로 정전압 바이어스회로에 접속되어 있는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 7

제1항~제6항 중의 어느 한항에 있어서,

상기 제1 자성체막이 경자성체막일 때 상기 제2 자성체막의 재료는 연자성체이고, 상기 제1 자성체막이 연자성체막일 때 상기 제2 자성체막의 재료는 경자성체인 것을 특징으로 하는 터널자기 저항효과소자.

청구항 8

제7항에 있어서,

상기 경자성체막으로서 Co-17at%Pt막, Co-Cr-Ta계 합금막 또는 Ni-Fe/Mn-20at%Ir/Cu/Hf/SiO₂/Si(기판)의 적층막에서 선택되는 것 중의 어느 하나를 사용하고, 또한 상기 연자성체막으로서 Ni-20at%Fe막, Ni-16at-18at%Co막 또는 Co-10at%Fe막으로부터 선택된 것 중의 어느 하나를 사용하는 것을 특징으로 하는 터널자기 저항효과소자.

청구항 9

특허청구범위 제1항~제8항 중의 어느 한항에 기재된 터널자기 저항효과소자를 사용한 것을 특징으로 하는 자기센서.

청구항 10

특허청구범위 제1항~제8항 중의 어느 한항에 기재된 터널자기 저항효과소자를 재생용헤드로서 사용한 것을 특징으로 하는 자기헤드.

청구항 11

제10항에 있어서,

상기 터널자기 저항효과소자를 SOI기판의 상부 실리콘층중에 형성하는 것을 특징으로 하는 자기헤드.

청구항 12

특허청구범위 제1항~제8항 중의 어느 한항에 기재된 터널자기 저항효과소자를 사용해서 터널자기 저항효과에 의해 상기 제1 자성체막으로 이루어지는 게이트전극의 자화상태를 변화시키는 것을 특징으로 하는 자기메모리.

청구항 13

제12항에 있어서,

상기 제1 자성체막으로 이루어지는 게이트전극에 근접해서 마련된 전기배선에 전류를 흐르게 하고 유도되는 자계에 의해서 상기 자화상태를 변화시키는 것을 특징으로 하는 자기메모리.

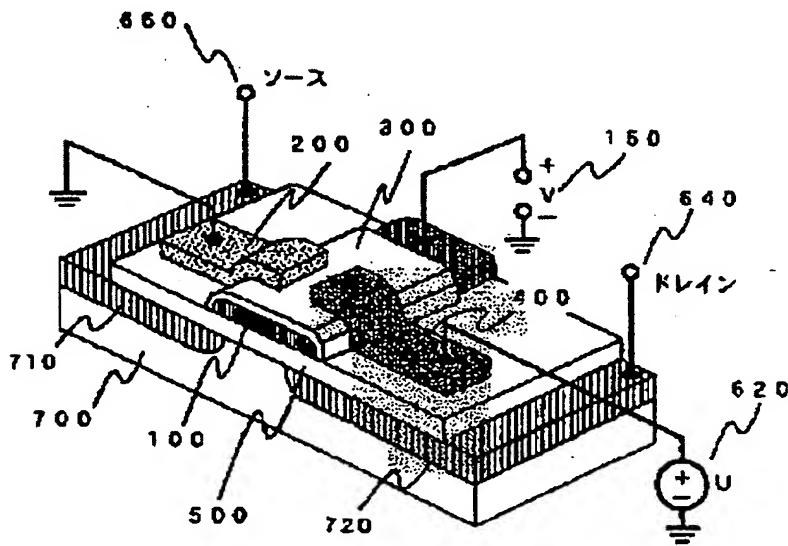
청구항 14

제12항 또는 제13항에 있어서,

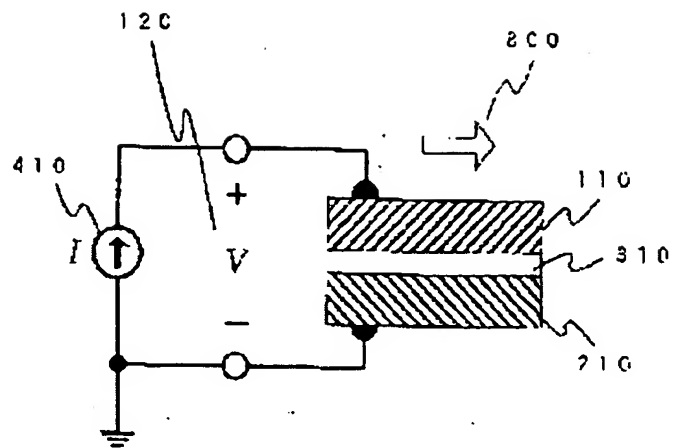
워드선, 데이터선, 라이트선 및 라이트비이어스선의 모두 또는 일부를 갖는 것을 특징으로 하는 자기메모리.

도면

도면1

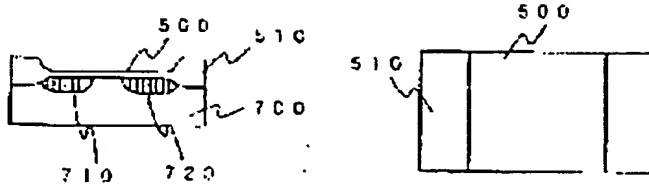


도 3



도 4

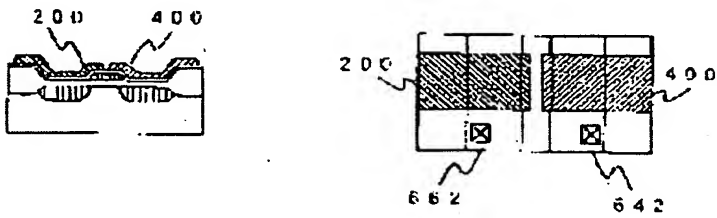
(a)



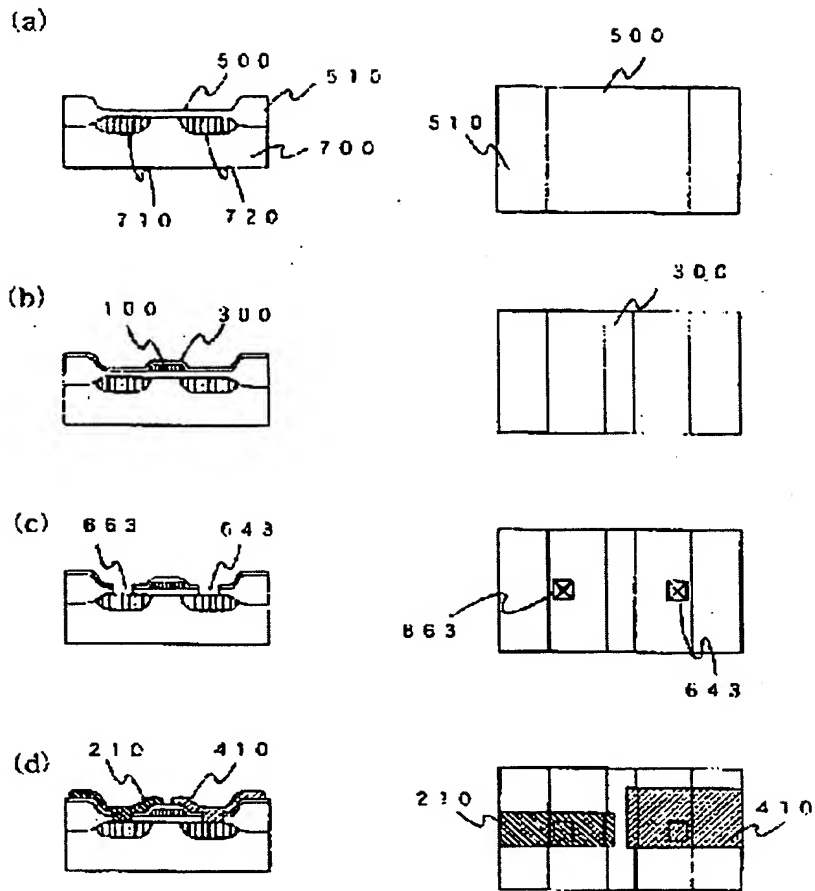
(b)



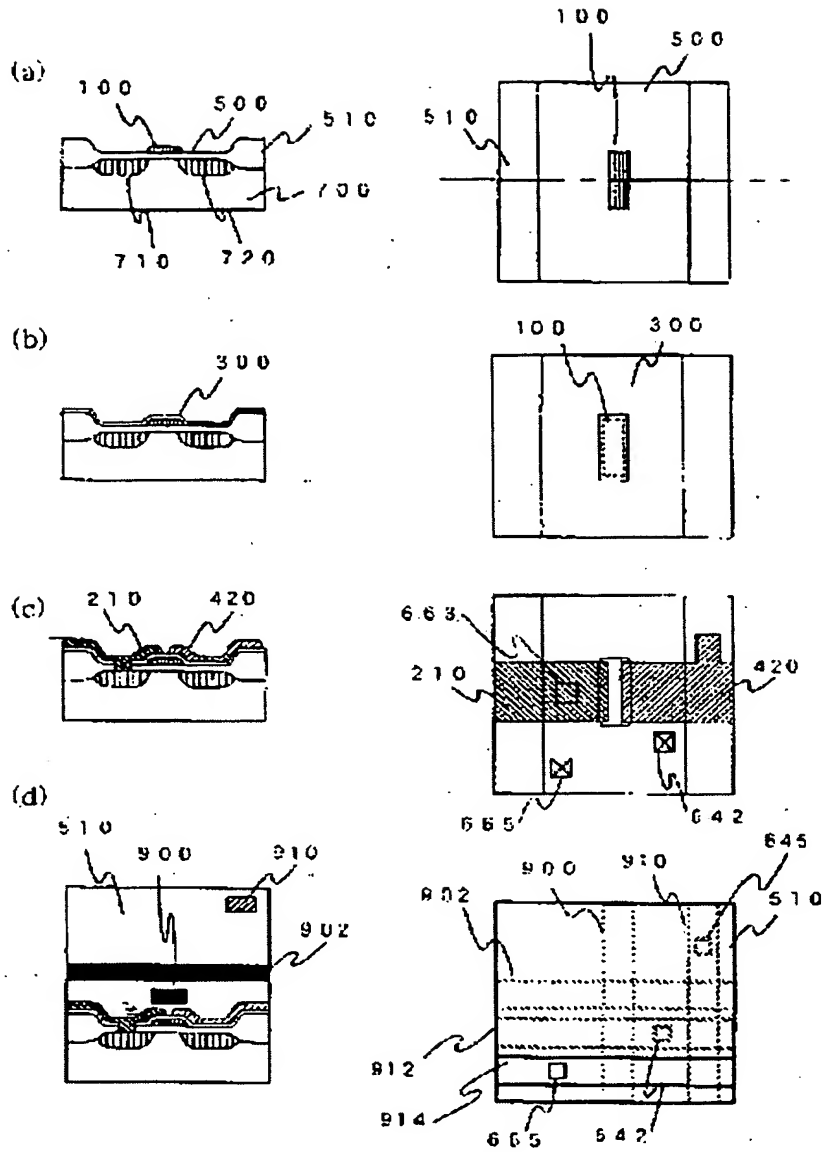
(c)



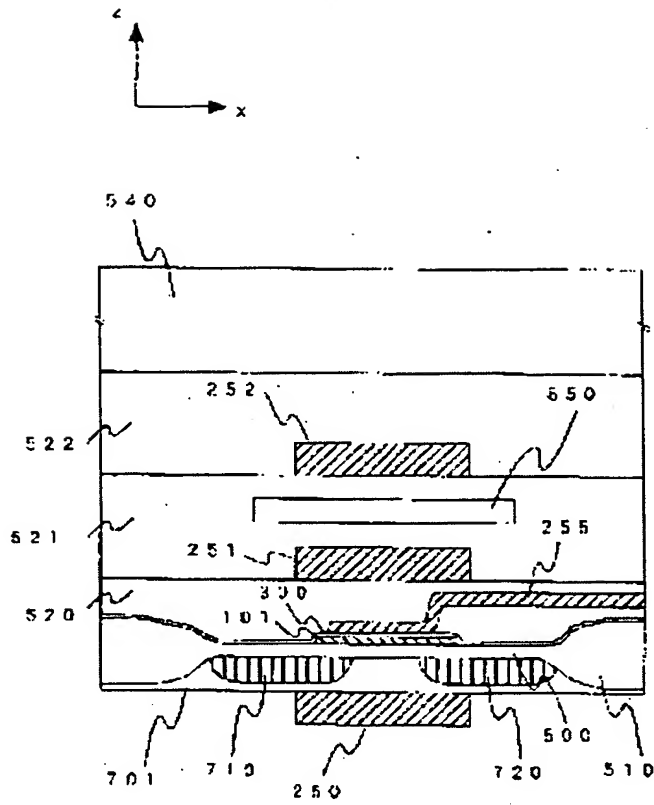
도 5



도 8

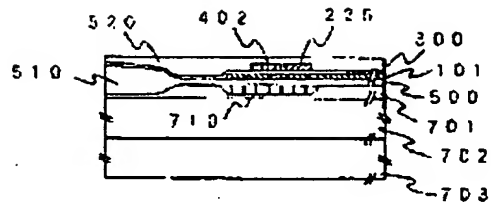


도 10

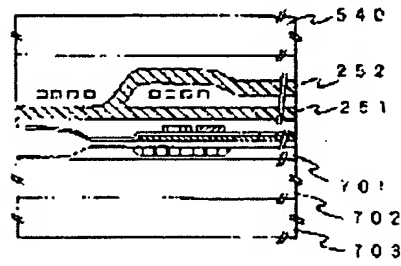


도 10

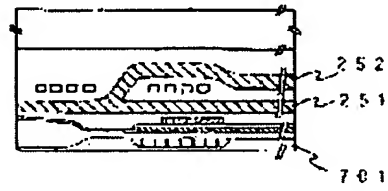
(a)



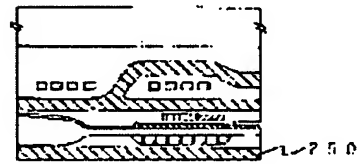
(b)



(c)



(d)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.